

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of:  
SZCZYPINSKI, et al.  
  
Serial No.: Unknown  
  
Filed: Herewith  
  
Confirmation No.: Unknown  
  
For: INTEGRATED MODULE  
HAVING A DELAY ELEMENT

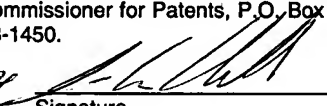
§  
§  
§  
§  
§  
§  
§  
§  
§  
§  
§

Group Art Unit: Unknown

Examiner: Unknown

MAIL STOP PATENT APPLICATION  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

CERTIFICATE UNDER 37 CFR 1.10	
I hereby certify that this correspondence and the documents referred to as attached therein are being deposited on <u>2-20-2004</u> with the United States Postal Service in an envelope as "Express Mail Post Office to Addressee," mailing label No. EV335472043US addressed to: Mail Stop Patent Application Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.	
<u>Feb. 20, 2004</u> Date	 Signature

**CLAIM TO PRIORITY**

Applicant(s) reaffirm the claim for the benefit of filing date of the following foreign patent application referred to in Applicant's Declaration:

German Patent Application Serial Number 103 07 537.2-33 filed February 21, 2003.

A copy of the application certified by the German Patent Office is enclosed.

Respectfully submitted,



Gero G. McClellan  
Registration No. 44,227  
MOSER, PATTERSON & SHERIDAN, L.L.P.  
3040 Post Oak Blvd. Suite 1500  
Houston, TX 77056  
Telephone: (713) 623-4844  
Facsimile: (713) 623-4846  
Agent for Applicant(s)



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 103 07 537.2

**Anmeldetag:** 21. Februar 2003

**Anmelder/Inhaber:** Infineon Technologies AG,  
81669 München/DE

**Bezeichnung:** Integrierter Baustein mit einem Verzögerungs-  
element

**IPC:** H 01 L, H 03 K

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 29. Januar 2004  
**Deutsches Patent- und Markenamt**  
Der Präsident  
Im Auftrag

Hintermeier

## Beschreibung

## Integrierter Baustein mit einem Verzögerungselement

- 5 Die Erfindung betrifft einen integrierten Baustein mit einem Verzögerungselement zum Einstellen einer gewünschten Verzögerung eines schaltkreisinternen Signals. Die Erfindung be-  
trifft weiterhin ein Verfahren zum Einstellen einer zeitli-  
chen Lage eines Signals in einem Signalpfad eines Schaltkrei-  
10 ses eines integrierten Bausteines auf eine Sollsignallage.

- Integrierte Schaltkreise weisen Signalpfade auf, auf denen  
Signale zu Schaltkreisen geführt werden. Aufgrund von Leiter-  
bahnlängen, Leitungskapazitäten u.Ä. erfahren die schaltungs-  
internen Signale eine Verzögerung, die vor der Herstellung  
15 der integrierten Schaltung nicht exakt bestimmt werden kann,  
da beispielsweise der Einfluss des Gehäuses, des Leadframes  
und der Prozessschwankungen nicht exakt vorher bestimmbar  
sind. Häufig müssen die schaltkreisinternen Signale deshalb  
zeitlich so angepasst werden, dass deren Signalflanken inner-  
20 halb vorgegebener Zeitfenster liegen. Insbesondere bei Spei-  
cherbausteinen existieren Setup- und Hold-Zeiten, die eine  
sehr präzise zeitliche Lage einer Signalflanke vorgeben.

- Aus diesem Grund werden in der integrierten Schaltung so ge-  
nannte Delay-Ketten (Verzögerungsketten) in den Signalpfad  
25 implementiert, die in dem Signalpfad eingeschaltet oder aus-  
geschaltet werden können. Durch Einschalten der Verzögerungs-  
elemente kann man Signale verzögern, durch Ausschalten bzw.  
Überbrücken der Verzögerungselemente die Signale bei zuvor  
eingeschalteten Verzögerungselement beschleunigen. Das Ein-  
30 und Ausschalten der Verzögerungselemente wird mit Hilfe einer  
zusätzlichen Metallisierungsmaske im Herstellungsprozess der  
integrierten Schaltung durchgeführt, wobei die vorgenommenen  
Metallisierungen ein Verzögerungselement in einen Signalpfad  
schalten oder durch ein Kurzschließen bei Überbrücken eines

Verzögerungselementes ein Verzögerungselement nicht in den Signalpfad schalten.

Das Anpassen der Signallaufzeit wird für alle integrierten Schaltungen einer prozessierten Substratscheibe mit Hilfe einer Maske durchgeführt. Eine nachträgliche Änderung nach Herstellung der Einstellungsmetallisierung ist bei prozessierten Bauelementen nicht möglich. Durch Herstellen einer neuen Metallmaske können nachfolgende hergestellte integrierte Bausteine entsprechend veränderten Timing-Bedingungen angepasst werden. Eine individuelle Einstellung der Signallaufzeit in einem integrierten Baustein ist nicht möglich. Durch das festgelegte Ein- oder Ausschalten der Verzögerungselemente in dem Signalpfad können des Weiteren Unterschiede bei den Verzögerungszeiten der Verzögerungselemente, die beispielsweise durch Prozessabweichungen oder Ähnliches bewirkt werden, nicht mehr berücksichtigt werden.

Es ist daher Aufgabe der vorliegenden Erfindung, einen integrierten Baustein vorzusehen, bei dem die Verzögerung eines Signals auf einem Signalpfad möglichst genau eingestellt werden kann. Es ist weiterhin Aufgabe der vorliegenden Erfindung, ein Verfahren zum Einstellen einer zeitlichen Lage eines Signals in einem Signalpfad eines Schaltkreises auf eine Sollsignallage vorzusehen.

Diese Aufgabe wird durch den integrierten Baustein nach Anspruch 1 sowie das Verfahren nach Anspruch 8 gelöst.

Weitere vorteilhafte Ausgestaltungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

Gemäß einem ersten Aspekt der vorliegenden Erfindung ist ein integrierter Baustein mit einem Schaltkreis und mehreren Ein-/Ausgangsanschlüssen vorgesehen. Jeder der Ein-/Ausgangsanschlüsse ist mit einer Treiberschaltung zum Treiben von Ausgangssignalen und mit einer Empfangsschaltung zum Empfan-

gen von Eingangssignalen verbunden. In dem integrierten Baustein ist ein erstes Verzögerungselement vorgesehen, das in einem Signalweg eines schaltkreisinternen Signals einschaltbar oder abschaltbar ist, um das schaltkreisinterne Signal zu verzögern oder zu beschleunigen, d.h. nicht zu verzögern. Weiterhin ist ein erstes Testverzögerungselement an einem ersten Ein-/Ausgangsanschlusspaar vorgesehen, das baugleich zu dem ersten Verzögerungselement ausgeführt ist, um in einem Testvorgang die erste Verzögerungszeit durch die Signallaufzeit zwischen den zwei Ein-/Ausgangsanschlüssen des ersten Ein-/Ausgangsanschlusspaares zu bestimmen.

Wesentlich für den erfindungsgemäßen integrierten Baustein ist das Vorsehen eines ersten Testverzögerungselementes, das baugleich zu dem ersten Verzögerungselement, das in einem Signalpfad ein- und ausschaltbar ist, ausgeführt ist. Dadurch, dass sowohl das erste Verzögerungselement als auch das erste Testverzögerungselement mit den gleichen Herstellungsprozessen hergestellt worden sind, sind die Verzögerungszeiten der beiden Verzögerungselemente im Wesentlichen identisch. Das Testverzögerungselement ermöglicht es nun, die exakte Verzögerungszeit des ersten Verzögerungselementes zu ermitteln, um somit eine Entscheidung, ob das erste Verzögerungselement in den Signalpfad geschaltet werden soll oder nicht, treffen zu können.

Es kann weiterhin ein zweites schaltkreisinternes Verzögerungselement vorgesehen sein, wobei das erste und das zweite Verzögerungselement voneinander unabhängig in dem Signalpfad schaltbar sind, um ein schaltkreisinternes Signal durch Zuschalten oder Abschalten bzw. Überbrücken des ersten und/oder des zweiten Verzögerungselementes zu verzögern oder zu beschleunigen bzw. nicht zu verzögern. Ein zweites Testverzögerungselement ist an einem zweiten Ein-/Ausgangsanschlusspaar vorgesehen, wobei das zweite Testverzögerungselement baugleich zu dem zweiten Verzögerungselement ausgeführt ist, um in dem Testvorgang die zweite Verzögerungszeit durch die Sig-

nallaufzeit zwischen den zwei Ein-/Ausgangsanschlüssen des zweiten Ein-/Ausgangsanschlusspaares zu bestimmen. Auf diese Weise können an verschiedenen Ein-/Ausgangsanschlusspaaren verschiedene Verzögerungselemente gemessen werden, so dass  
5 durch geeignetes Ein-/Ausschalten des ersten und/oder des zweiten Verzögerungselementes eine gewünschte Verzögerung bzw. Beschleunigung des schaltkreisinternen Signals erreicht werden kann.

Es kann eine Verzögerungssteuereinheit vorgesehen sein, die  
10 mit dem ersten und/oder dem zweiten Verzögerungselement verbunden ist, um das schaltkreisinterne Signal durch Zuschalten oder Abschalten der ersten und/oder der zweiten Verzögerungselemente mit einer gewünschten Verzögerungszeit zu verzögern. Die Verzögerungssteuereinheit weist vorzugsweise einen nicht  
15 flüchtigen Einstellungsspeicher auf, um einen Einstellungswert zu speichern, der das Zuschalten und das Abschalten der Verzögerungselemente bestimmt. Auf diese Weise kann über die Verzögerungssteuereinheit die exakte Verzögerung des schaltkreisinternen Signals eingestellt werden. Der nicht flüchtige  
20 Einstellungsspeicher ermöglicht es, die eingestellte Verzögerung dauerhaft zu speichern. Als mögliche Einstellungsspeicher kommen Fuse-Speicher, insbesondere elektrische Fuses, in Betracht.

Vorzugsweise sind die Ein-/Ausgangsanschlüsse des ersten  
25 und/oder des zweiten Ein-/Ausgangsanschlusspaares zueinander benachbart angeordnet. Auf diese Weise sind die Signallaufzeit aufgrund von Leitungslängen von und zu dem jeweiligen Verzögerungselement möglichst reduziert. Das erste und/oder das zweite Testverzögerungselement sind gemäß einer Teststeuereinheit ein- bzw. ausschaltbar, um das erste und/oder das  
30 zweite Testverzögerungselement nur während des Testvorgangs mit dem jeweiligen Ein-/Ausgangsanschlusspaar zu verbinden. Auf diese Weise können die Ein-/Ausgangsanschlüsse voneinander getrennt betrieben werden, wenn der integrierte Baustein  
35 nicht in einem Testmodus getestet wird.

Weiterhin kann vorgesehen sein, dass Ein-/Ausgangsanschlüsse eines dritten Ein-/Ausgangsanschlusspaares miteinander im Wesentlichen gemäß der Teststeuereinheit ein-/ausschaltbar verbunden sind. Auf diese Weise kann die Signallaufzeit von einem Ein-/Ausgangsanschluss des dritten Ein-/Ausgangsanschlusspaares zu dem anderen Ein-/Ausgangsanschluss gemessen werden. Die Differenz aus der gemessenen Signallaufzeit durch ein Testverzögerungselement und der Signallaufzeit durch das dritte Ein-/Ausgangsanschlusspaar entspricht dann der Verzögerungszeit des gemessenen Testverzögerungselementes, wobei die Signallaufzeiten der Zuführungsleitungen zu dem Testverzögerungselement herausgerechnet werden können.

Es kann vorgesehen sein, dass die Treiberschaltung und die Empfangsschaltung jedes der Ein-/Ausgangsanschlüsse gemäß dem Testvorgang voneinander getrennt ein-/ausschaltbar sind.

Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist ein Verfahren zum Einstellen einer zeitlichen Lage eines Signals in einem Signalpfad eines Schaltkreises eines integrierten Bausteines auf eine Sollsignallage vorgesehen. Ein erstes Verzögerungselement wird in dem Signalpfad ein- oder ausgeschaltet, um die zeitliche Lage des Signals in Richtung der Sollsignallage zu verändern. Eine Verzögerungszeit eines ersten baugleich zum ersten Verzögerungselement ausgeführten Testverzögerungselementes, das an einem Ein-/Ausgangsanschlusspaar angeordnet ist, wird gemessen, wobei abhängig von der gemessenen Verzögerungszeit das erste Verzögerungselement ein- oder ausgeschaltet wird.

Auf diese Weise wird vor dem Einstellen der Signalverzögerung in dem Signalpfad zunächst der genaue Wert der Verzögerungszeit des Verzögerungselementes bestimmt, bevor entschieden wird, ob das schaltkreisinterne Signal mit dem jeweiligen Verzögerungselement verzögert werden soll oder nicht.

Es kann weiterhin vorgesehen sein, dass ein zweites Verzögerungselement in dem Signalpfad so ein- oder ausgeschaltet wird, um die zeitliche Lage des Signals in Richtung der Sollsignallage zu verändern. Die Verzögerungszeit des zweiten Verzögerungselementes wird ebenso wie die des ersten Verzögerungselementes ermittelt, indem die Verzögerungszeit eines baugleichen zweiten Testverzögerungselementes, das an einem Ein-/Ausgangsanschlusspaar angeordnet ist, gemessen wird. Abhängig von den gemessenen Verzögerungszeiten der Testverzögerungselemente wird das jeweils erste und das zweite Verzögerungselement ein- oder ausgeschaltet. Auf diese Weise lässt sich anhand der exakt bestimmten Verzögerungszeiten der Verzögerungselemente eine Optimierung des Ein- bzw. Ausschaltens der einzelnen Verzögerungselemente vornehmen, so dass die zeitliche Lage des schaltkreisinternen Signals möglichst nahe an die Sollsignallage angenähert wird.

Eine bevorzugte Ausführungsform der Erfindung ist in Verbindung mit den beigefügten Zeichnungen näher erläutert. Es zeigen:

20    Figur 1    ein Blockschaltdiagramm eines Ausschnittes eines integrierten Bausteins gemäß einer bevorzugten Ausführungsform der Erfindung; und

Figur 2    ein Blockschaltdiagramm eines erfindungsgemäßen Bausteins gemäß einer weiteren Ausführungsform.

25    Figur 1 zeigt einen Ausschnitt aus einer integrierten Schaltung mit einem ersten Ein-/Ausgangsanschluss 1 und einem zweiten Ein-/Ausgangsanschluss 2. Der erste Ein-/Ausgangsanschluss 1 ist mit einer ersten Treiberschaltung 3 und einer ersten Empfangsschaltung 4 verbunden. Der zweite Ein-/Ausgangsanschluss ist mit einer zweiten Treiberschaltung 5 und einer zweiten Empfangsschaltung 6 verbunden. Je nachdem, ob im normalen Betrieb Daten aus den Ein-/Ausgangsanschlüssen nach extern gesendet werden oder Daten über die Ein-/Aus-



gangsanschlüsse empfangen werden sollen, ist die jeweilige Treiberschaltung 3, 5 oder die jeweilige Empfangsschaltung 4, 6 aktiviert. Dies ermöglicht es einer Nutzschaltung 7 Daten über die Ein-/Ausgangsanschlüsse 1, 2 zu empfangen oder Daten  
5 über die Ein-/Ausgangsanschlüsse 1, 2 zu senden.

Die Nutzschaltung 7 weist einen Signalpfad 8 auf, auf dem ein schaltkreisinternes Signal übertragen wird. Das schaltkreisinterne Signal dient zur Ansteuerung eines Timing-sensiblen Schaltkreises, z.B. einer Speicherschaltung, bei der Setup- und Hold-Zeiten eingehalten werden müssen. Im Signalpfad sind  
10 Verzögerungselemente 9 eingebracht, die gesteuert durch eine Verzögerungssteuereinheit 10 entweder in den Signalpfad geschaltet werden, so dass das schaltkreisinterne Signal verzögert wird oder so überbrückt werden, dass das schaltkreisinterne  
15 Signal nicht durch das jeweilige Verzögerungselement 9 verzögert wird.

Die Verzögerungselemente 9a, 9b, 9c weisen vorzugsweise unterschiedliche Verzögerungszeitwerte, z.B. 100 Picosekunden, 300 Picosekunden, 500 Picosekunden usw., auf. Diese sollen in  
20 einer Weise geschaltet werden, dass das schaltkreisinterne Signal um eine bestimmte Verzögerungszeit verzögert bzw. beschleunigt wird, so dass das schaltkreisspezifische Timing eingehalten wird. Soll beispielsweise eine Verzögerungszeit von 400 Picosekunden eingestellt werden, so werden die Verzögerungselemente mit 100 und 300 Picosekunden eingeschaltet,  
25 d.h. in den Signalpfad geschaltet und das Verzögerungselement mit 500 Picosekunden ausgeschaltet, d.h. so überbrückt, dass das Signal im Wesentlichen darin nicht verzögert wird.

Um die Verzögerungselemente 9a, 9b, 9c in geeigneter Weise  
30 ein- bzw. auszuschalten (zu überbrücken), ist es notwendig, die exakte Verzögerung der Verzögerungselemente 9a, 9b, 9c zu kennen. Dazu ist vorgesehen, dass ein Testverzögerungselement 11a so zwischen der ersten Datenleitung 12 und der zweiten Datenleitung 13 angeschlossen ist, dass ein an dem ersten

Ein-/Ausgangsanschluss 1 angelegtes Signal durch das Testverzögerungselement 11a geleitet wird und über den zweiten Ein-/Ausgangsanschluss 2 empfangen werden kann. Das Testverzögerungselement 11a ist baugleich zu dem ersten Verzögerungselement 9a ausgeführt, so dass bei einem gemeinsamen Herstellungsprozess der gesamten Schaltung davon ausgegangen werden kann, dass die Verzögerungszeit des Verzögerungselements 9a und des Teilverzögerungselements 11a im Wesentlichen identisch ist.

10 Es ist eine Teststeuereinheit 14 vorgesehen, mit der das Testverzögerungselement 11a nur während eines Testvorgang zwischen die Ein-/Ausgangsanschlüsse 1, 2 geschaltet ist. Die Teststeuereinheit 14 ist über eine oder mehrere Steuerleitungen mit der ersten und zweiten Treiberschaltung 3, 5 und der  
15 ersten und zweiten Empfangsschaltung 4, 6 verbunden, um diese in einem Testmodus so zu schalten, dass ein an dem ersten Ein-/Ausgangsanschluss 1 angelegtes Signal über die erste Empfangsschaltung 4 an das Testverzögerungselement 11a getrieben wird und durch die zweite Treiberschaltung 5 an dem  
20 zweiten Ein-/Ausgangsanschluss 2 wieder ausgegeben wird. Durch eine externe Testereinheit (nicht gezeigt) lässt sich dann die Signalverzögerung des Signals zwischen dem ersten und dem zweiten Ein-/Ausgangsanschluss 1, 2 ermitteln. Die ermittelte Signalverzögerung dient dann zur Bestimmung, ob  
25 das dem Testverzögerungselement 11a entsprechende Verzögerungselement 9a eingeschaltet oder überbrückt werden soll.

Wie in Fig. 2 dargestellt, sind mehrere Testverzögerungselemente 11a, 11b, 11c zwischen jeweils zwei benachbarte Ein-/Ausgangsanschlüsse 1, 2 angeordnet. Jedes der Testverzögerungselemente entspricht einem Typ eines Verzögerungselementes 9a, 9b, 9c und ist entsprechend baugleich ausgeführt.  
30 D.h., das erste Testverzögerungselement 11a ist baugleich zu dem ersten Verzögerungselement 9a, das zweite Testverzögerungselement 11b ist baugleich zu dem zweiten Verzögerungselement 9b, das dritte Testverzögerungselement 11c ist bau-  
35

gleich zu dem dritten Verzögerungselement 9c usw. ausgestaltet.

Beim Ermitteln der jeweiligen Verzögerung wird, wie oben beschrieben, jeweils ein Signal an den ersten Ein-/Ausgangs-  
5 anschluss 1 angelegt und über den zweiten Ein-/Ausgangs-  
anschluss 2 empfangen und dessen Signallaufzeit ermittelt. Um  
den Einfluss der Zuführungsleitungen zwischen dem ersten bzw.  
zweiten Ein-/Ausgangsanschluss 1, 2 und dem jeweiligen Test-  
verzögerungselement 11a, 11b, 11c zu eliminieren, ist zwi-  
10 schen einem weiteren Ein-/Ausgangsanschlusspaar eine Schalt-  
einrichtung vorgesehen, die gemäß einem Steuersignal von der  
Teststeuereinheit 14 durchschaltbar ist. Durch Anlegen eines  
Signals an dem ersten Ein-/Ausgangsanschluss 1 und Messen der  
Signalverzögerung zu dem zweiten Ein-/Ausgangsanschluss 2  
15 kann die Laufzeit auf den Zuführleitungen gemessen werden.  
Aus der Differenz aus der Signallaufzeit zwischen zwei Ein-  
/Ausgangsanschlüssen mit einem dazwischengeschalteten Verzö-  
gerungselement und ohne ein dazwischengeschaltetes Verzöge-  
rungselement kann die Verzögerung des jeweiligen Verzöge-  
20 rungselementes exakt bestimmt werden.

Die Signallaufzeit des schaltkreisinternen Signals auf dem  
Signalpfad 8 kann nun auf Grundlage der gemessenen Verzöge-  
rungszeiten der jeweiligen Verzögerungselemente möglichst ge-  
25 nau eingestellt werden. Entsprechend der schaltungsspezifi-  
schen Vorgaben wird der Verzögerungssteuereinheit 10 nun über  
eine externe Testereinheit (nicht gezeigt) mitgeteilt oder  
durch eine schaltungsintern durchgeführte Optimierung mitge-  
teilt, welche der Verzögerungselemente eingeschaltet werden  
sollen, so dass das schaltungsinterne Signal verzögert wird  
30 und welche der Verzögerungselemente nicht eingeschaltet, bzw.  
überbrückt werden, so dass das Signal ohne Verzögerung durch  
das Verzögerungselement hindurchläuft.

Damit das Einstellen nicht bei jedem Einschalten der integ-  
rierten Schaltung erneut durchgeführt werden muss, ist in der

Verzögerungssteuereinheit 10 ein nicht flüchtiges Speicherelement 15 vorgesehen, in dem die Einstellungswerte für die Verzögerungselemente 9a, 9b, 9c gespeichert werden können. Dieses Speicherelement 15 weist vorzugsweise elektrische Fuses auf, die durch einen Programmierstrom dauerhaft programmiert werden können, so dass Einstellungswerte gespeichert werden. Selbstverständlich kann auch ein EPROM- oder ähnlicher nicht flüchtiger Speicher vorgesehen sein. Es können auch Speicherelemente unmittelbarer Nähe der Verzögerungselemente 9a, 9b, 9c vorgesehen sein, um den zusätzlichen Verdrahtungsaufwand zu reduzieren.

Es wird vorzugsweise bei der Herstellung der integrierten Schaltung eine mittlere Verzögerung des schaltkreisinternen Signals eingestellt, mit der üblicherweise die Timing-Bedingungen bezüglich Setup- und Hold-Zeiten, z.B. bei DRAM-Speichern oder anderen Schaltkreisspezifikationen, eingehalten werden können. Die beschriebene Schaltung und das dazugehörige Verfahren dient dann dazu, eine Feinjustierung bei den integrierten Bausteinen vorzunehmen, bei denen die Timing-Parameter außerhalb der vorgegebenen Spezifikationen liegen.

Die erfindungsgemäße Schaltung ermöglicht es, Schaltkreise, bei denen die Timing-Spezifikationen nach vollständiger Fertigung nicht eingehalten werden, nicht verworfen werden müssen, indem nachträglich eine Nachjustierung der Verzögerung eines schaltkreisinternen Signals vorgenommen wird. Dies ist insbesondere dadurch besonders genau möglich, indem zu den Verzögerungselementen baugleiche Testverzögerungselemente vorgesehen werden, die es ermöglichen, für jedes Verzögerungselement, das innerhalb der Nutzschaltkreise 7 angeordnet ist, die genaue Verzögerungszeit durch eine externe Testereinrichtung zu bestimmen. Dies ist insbesondere deshalb möglich, da bei baugleichen Verzögerungselementen im Wesentlichen aufgrund desselben Herstellungsprozesses mit denselben Verzögerungszeiten zu rechnen ist.

## Patentansprüche

1. Integrierter Baustein mit einem Schaltkreis und mehreren Ein-/Ausgangsanschlüssen (1, 2),

5 wobei jeder der Ein-/Ausgangsanschlüsse mit einer Treiberschaltung (3, 5) zum Treiben von Ausgangssignalen und mit einer Empfangsschaltung (4, 6) zum Empfangen von Eingangssignalen verbunden ist,

10 wobei in dem integrierten Baustein ein erstes Verzögerungselement (9a) mit einer ersten Verzögerungszeit vorgesehen ist, das in einen Signalweg (8) eines schaltkreisinternen Signals zuschaltbar oder abschaltbar ist, um das schaltkreisinterne Signal zu verzögern oder zu beschleunigen, d a d u r c h g e k e n n z e i c h n e t,

15 dass ein erstes Testverzögerungselement (11a) an einem ersten Ein-/Ausgangsanschlusspaar (1, 2) vorgesehen ist, das baugleich zu dem ersten Verzögerungselement (9a) ausgeführt ist, um in einem Testvorgang die erste Verzögerungszeit durch die Signallaufzeit zwischen den zwei Ein-/Ausgangsanschlüssen des  
20 ersten Ein-/Ausgangsanschlusspaares zu bestimmen.

2. Integrierter Baustein nach Anspruch 1, wobei ein zweites schaltkreisinternes Verzögerungselement (9b) vorgesehen ist, wobei das erste und das zweite Verzögerungselement (9a, 9b) voneinander getrennt in dem Signalpfad schaltbar sind, um ein  
25 schaltkreisinternes Signal durch Zuschalten oder Abschalten des ersten und/oder des zweiten Verzögerungselementes (9a, 9b) zu verzögern oder zu beschleunigen, wobei ein zweites Testverzögerungselement (11b) an einem zweiten Ein-/Ausgangsanschlusspaar (1, 2) vorgesehen ist, wobei das zweite Test-  
30 verzögerungselement (11b) baugleich zu dem zweiten Verzögerungselement (9b) ausgeführt ist, um in dem Testvorgang die zweite Verzögerungszeit durch die Signallaufzeit zwischen den zwei Ein-/Ausgangsanschlüssen (1, 2) des zweiten Ein-/Ausgangsanschlusspaares (1, 2) zu bestimmen.

3. Integrierter Baustein nach Anspruch 2, dadurch gekennzeichnet, dass eine Verzögerungssteuereinheit (10) vorgesehen ist, die mit dem ersten und/oder dem zweiten Verzögerungselement (9a, 9b) verbunden ist, um das Signal durch Zuschalten  
5 oder Abschalten der ersten und/oder der zweiten Verzögerungselemente (9a, 9b) zu verzögern, wobei die Verzögerungssteuereinheit (10) einen nicht-flüchtigen Einstellungsspeicher (15) aufweist, um einen Einstellungswert zu speichern, der das Zuschalten und das Abschalten der Verzögerungselemente (9a, 9b,  
10 9c) bestimmt.

4. Integrierter Baustein nach Anspruch 1 bis 3, dadurch gekennzeichnet, dass die zwei Ein-/Ausgangsanschlüsse (1, 2) des ersten und/oder des zweiten Ein-/Ausgangsanschlusspaares (1, 2) zueinander benachbart angeordnet sind.

5. Integrierter Baustein nach Anspruch 1 bis 4, dadurch gekennzeichnet, dass das erste und/oder das zweite Testverzögerungselement (11a, 11b) gemäß einer Teststeuereinheit (14) ein und ausschaltbar sind, um das erste und/oder das zweite  
15 Testverzögerungselement (11a, 11b) nur während des Testvorgangs mit dem jeweiligen Ein-/Ausgangsanschlusspaar (1, 2) zu verbinden.  
20

6. Integrierter Baustein nach Anspruch 5, dadurch gekennzeichnet, dass die Ein-/Ausgangsanschlüsse (1, 2) eines dritten Ein-/Ausgangsanschlusspaares (1, 2) miteinander im Wesentlichen durch die Teststeuereinheit (14) ein-/ausschaltbar  
25 verbunden sind.

7. Integrierter Baustein nach Anspruch 1 bis 5, dadurch gekennzeichnet, dass die Treiberschaltung (3, 5) und die Empfangsschaltung (4, 6) jedes der Ein-/Ausgangsanschlüsse (1,  
30 2) gemäß dem Testvorgang ein-/ausschaltbar sind.

8. Verfahren zum Einstellen einer zeitlichen Lage eines Signals in einem Signalpfad (8) eines Schaltkreises eines in-

tegrierten Bausteines auf eine Sollsignallage,  
wobei ein erstes Verzögerungselement (9a) in dem Signalpfad  
(8) so ein- oder ausgeschaltet wird, um die zeitliche Lage  
des Signals in Richtung der Sollsignallage zu verändern,  
5 d a d u r c h g e k e n n z e i c h n e t,  
dass eine Verzögerungszeit eines ersten, baugleich zum ersten  
Verzögerungselement (9a) ausgeführten ersten Testverzöge-  
rungselementes (11a), das an einem Ein-/Ausgangsanschlusspaar  
(1, 2) angeordnet ist, gemessen wird,  
10 wobei abhängig von der gemessenen Verzögerungszeit das erste  
Verzögerungselement (9a) ein- oder ausgeschaltet wird.

9. Verfahren nach Anspruch 7, dadurch gekennzeichnet, dass  
das erste und ein zweites Verzögerungselement (9a, 9b) in dem  
Signalpfad so ein- oder ausgeschaltet werden, um die zeitli-  
15 che Lage des Signals in Richtung der Sollsignallage zu verän-  
dern,  
wobei eine Verzögerungszeit eines zweiten, baugleich zum  
zweiten Verzögerungselement (9b) ausgeführten Testverzöge-  
rungselementes (11b), das an einem Ein-/Ausgangsanschlusspaar  
20 (1, 2) angeordnet ist, gemessen wird,  
wobei abhängig von den gemessenen Verzögerungszeiten jeweils  
das erste und das zweite Verzögerungselement (9a, 9b) ein-  
oder ausgeschaltet wird.

10. Verfahren nach Anspruch 7 oder 8, dadurch gekennzeich-  
25 net, dass die Verzögerungszeit des ersten und/oder des zwei-  
ten Testverzögerungselementes (11a, 11b) gemessen wird, indem  
ein Testsignal durch mit dem jeweiligen Testverzögerungsele-  
ment (11a, 11b) verbundene Ein-/Ausgangsanschlüsse (1, 2) des  
Ein-/Ausgangsanschlusspaares geleitet wird und dessen Signal-  
30 laufzeit bestimmt wird.

11. Verfahren nach Anspruch 7 bis 9, dadurch gekennzeichnet,  
dass das Ein-/Ausschalten des ersten und/oder des zweiten  
Verzögerungselementes (9a, 9b) so durchgeführt wird, dass die  
gesamte Verzögerungszeit des ersten und/oder des zweiten Ver-

zögerungselementes (9a, 9b) gemäß der gemessenen ersten und zweiten Verzögerungszeit so eingestellt wird, so dass die Signallage des Signals möglichst genau der Sollsignallage entspricht.

- 5 12. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass die ermittelte Einstellung bezüglich des Ein-/Ausschaltens des ersten und/oder des zweiten Verzögerungselementes (9a, 9b) dauerhaft in dem integrierten Baustein gespeichert wird, so dass die zeitliche Lage des Signals ohne ein erneutes Ein-
- 10 stellen beibehalten wird.



## Zusammenfassung

## Integrierter Baustein mit einem Verzögerungselement

- 5 Integrierter Baustein mit einem Schaltkreis und mehreren  
Ein-/Ausgangsanschlüssen, wobei jeder der Ein-/Ausgangs-  
anschlüssen mit einer Treiberschaltung zum Treiben von Aus-  
gangssignalen und mit einer Empfangsschaltung zum Empfangen  
10 von Eingangssignalen verbunden ist, wobei in dem integrierten  
Baustein ein erstes in einen Signalweg eines schaltkreisin-  
ternen Signals zuschaltbares oder abschaltbares Verzögerungs-  
element mit einer ersten Verzögerungszeit vorgesehen ist, um  
das schaltkreisinterne Signal zu verzögern oder zu beschleu-  
nigen, dadurch gekennzeichnet, dass ein erstes Testverzö-  
15 gerungselement an einem ersten Ein-/Ausgangsanschlusspaar  
vorgesehen ist, das baugleich zu dem ersten Verzögerungsele-  
ment ausgeführt ist, um in einem Testvorgang die Verzöge-  
rungszeit durch die Signallaufzeit zwischen den zwei Ein-/  
Ausgangsanschlüssen des ersten Ein-/Ausgangsanschlusspaares  
20 zu bestimmen.

## Bezugszeichenliste

	1	Erster Ein-/Ausgangsanschluss
	2	Zweiter Ein-/Ausgangsanschluss
	3	Erste Treiberschaltung
5	4	Erste Empfangsschaltung
	5	Zweite Treiberschaltung
	6	Zweite Empfangsschaltung
	7	Nutzschaltung
	8	Signalpfad
10	9a, 9b, 9c	Verzögerungselement
	10	Verzögerungssteuerschaltung
	11a, 11b, 11c	Testverzögerungselement
	12	Erste Datenleitung
	13	Zweite Datenleitung
15	14	Teststeuereinheit
	15	Speicherelement

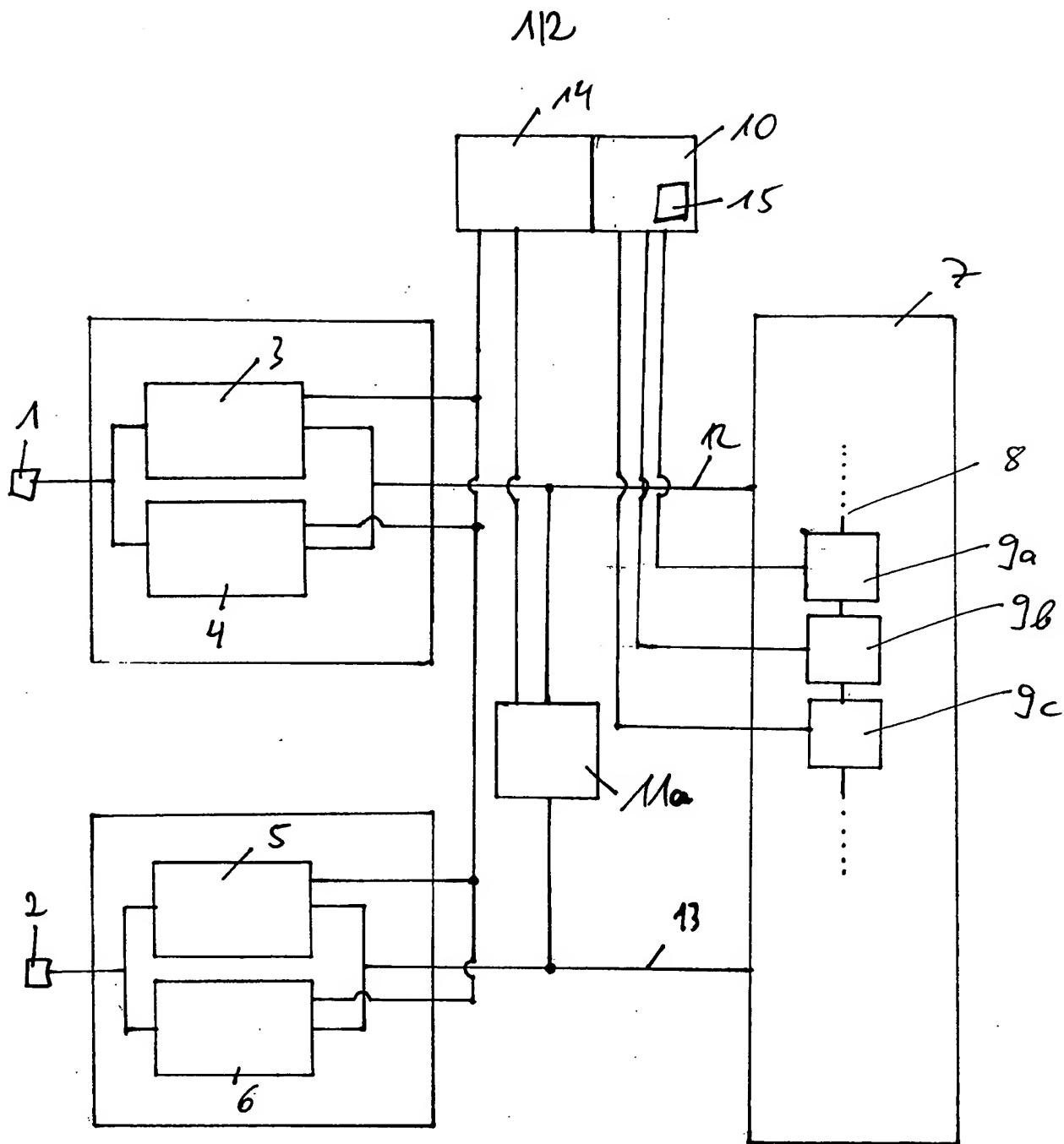


Fig. 1

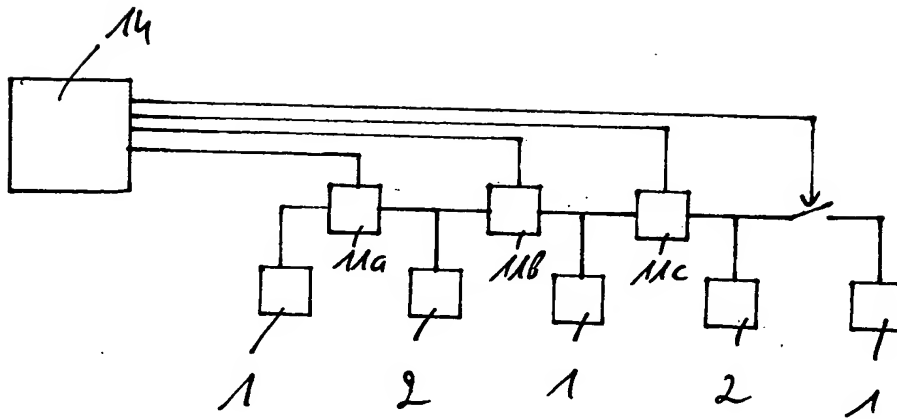


Fig. 2